

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-161996

(43) 公開日 平成7年(1995)6月23日

(51) Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/786

9056-4M

H 0 1 L 29/ 78

3 1 1 G

審査請求 未請求 請求項の数4 O L (全 5 頁)

(21) 出願番号

特願平5-311519

(22) 出願日

平成5年(1993)12月13日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 諸沢 成浩

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

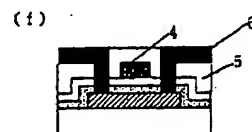
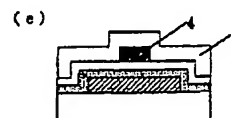
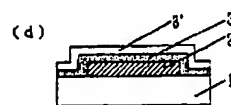
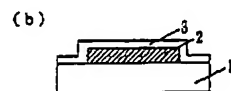
(74) 代理人 弁理士 梅田 勝

(54) 【発明の名称】 絶縁ゲート型電界効果半導体装置及びその製造方法

(57) 【要約】

【目的】 低温でゲート絶縁膜を形成すると、 $\text{SiO}_2$  膜中に多量のトラップを含み、界面準位密度も高いため、TFT特性が悪化する。また、これらのトラップがホットエレクトロン注入の原因となるため、素子の信頼性も低下する。このため界面近傍の $\text{SiO}_2$ を緻密化と界面の再構成により、界面準位密度を低減し、界面層に $\text{SiON}$ 層を導入することで、ホットエレクトロンに強くなる。

【構成】 TFTのゲート絶縁膜形成工程を3工程に分け、最初に極薄い $\text{SiO}_2$ 膜(1~10nm)を成膜し、N原子を含むガスでプラズマ処理する。その後、 $\text{SiO}_2$ を成膜してゲート絶縁膜を形成する。



## 【特許請求の範囲】

【請求項1】 絶縁基板上に形成されたポリSi層と、該ポリSi層上に形成されたSiON層と該SiON層上に形成されたSiO<sub>2</sub>層とからなる絶縁ゲート層と、該絶縁ゲート層上に形成されたゲート電極とを備えたことを特徴とする絶縁ゲート型電界効果半導体装置。

【請求項2】 絶縁基板上に形成されたポリSi層と、該ポリSi層上に形成されたSiON層と該SiON層上に形成されたSiO<sub>2</sub>層とからなる絶縁ゲート層と、該絶縁ゲート層上に形成されたゲート電極と、上記ポリSi層表面にソース領域とドレイン領域とを備え、TFTをなしていることを特徴とする絶縁ゲート型電界効果半導体装置。

【請求項3】 上記SiON層の厚さが1nm以上10nm以下であることを特徴とする請求項1また請求項2に記載の絶縁ゲート型電界効果半導体装置。

【請求項4】 絶縁基板上にポリSi層を形成する工程と、該ポリSi層上に第1のSiO<sub>2</sub>層を形成する工程と、第1のSiO<sub>2</sub>層をプラズマ窒化してSiON層とする工程と、該SiON層上に第2のSiO<sub>2</sub>層を形成する工程と、第2のSiO<sub>2</sub>層上に導電膜を形成してゲート電極を形成する工程とを含むことを特徴とする請求項1、請求項2、または請求項3に記載の絶縁ゲート型電界効果半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は絶縁ゲート型電界効果半導体装置及びその製造方法に関し、より詳細には低温プロセスで製造することのできる絶縁ゲート型電界効果半導体装置及びその製造方法に関するものである。

## 【0002】

【従来の技術】 近年、ガラス基板を用いることにより、600℃程度の低温プロセスで、ディスプレイやイメージセンサ等の大面積な部分に薄膜トランジスタ（以下TFTと略す）が作製されるようになってきている。

【0003】 TFTのチャネル半導体層にポリSiあるいはアモルファスSiを、ゲート絶縁膜にSiO<sub>2</sub>膜を用いた場合、そのTFTの製造時の熱処理温度は約600℃以下である。このため、ゲート絶縁膜のSiO<sub>2</sub>膜を作製するためには、低温成膜が可能であるプラズマCVD法（例えば、Journal of Applied Physics Vol. 60(9) p3136 (1986)）、リモートプラズマCVD法（例えば、Journal of Vacuum Science Technology A5(4) p2231 (1987)）、APCVD法、LPCVD法、スパッタリング法（例えば、IEEE Trans. Electron Devices 135(12) p3104 (1989)）等の堆積法によるゲート絶縁膜の形成が行われている。ところが、これらの方法で得られたSiO<sub>2</sub>膜は緻密なものではないためTFTの信頼性の低下の原因となる。

【0004】 また、これらのSiO<sub>2</sub>膜の緻密化の方法

としてはN<sub>2</sub>雰囲気中において900℃程度の高温アニールやランプアニール等があるが、いずれも600℃以上の高温熱処理で行わないと、高品質なゲート絶縁膜が得られない。

【0005】 さらに、SiO<sub>2</sub>膜の窒化により、ホットキャリア注入に強い信頼性の高いトランジスタを得る技術が従来報告されている（例えば、IEEE Trans. Electron Devices ED-29 p498 (1982)）が、ここでも窒化を行うためには900℃以上の高温が必要である。

## 【0006】

【発明が解決しようとする課題】 しかしながら、上記方法で作製されたゲート絶縁膜は比較的高温での作製となるか、あるいは600℃以下の低温作製をすると緻密で高品質なものが得られず、SiO<sub>2</sub>膜中に多量のトラップを含んでいるためTFT特性に悪影響を及ぼす。また、これらのトラップがホットエレクトロン注入の原因となるため、素子の信頼性に対しても問題となる。また、低温形成のために界面準位密度も高く、良好な界面が形成されにくい。一方、熱歪み等から低温でのTFT作製の要望も強い。

【0007】 本発明は、このような問題に鑑みなされたものであり、界面近傍のSiO<sub>2</sub>膜の緻密化と界面原子のネットワークを再構成させることで、界面準位密度を減少させ、界面付近にSiON層を導入することでホットエレクトロン注入に対して強いゲート絶縁膜を形成して、比較的低温で高品質なゲート絶縁膜を得ることを目的としている。

## 【0008】

【課題を解決するための手段】 請求項1に記載の本発明の絶縁ゲート型電界効果半導体装置は、絶縁基板上に形成されたポリSi層と、該ポリSi層上に形成されたSiON層と該SiON層上に形成されたSiO<sub>2</sub>層とからなる絶縁ゲート層と、該絶縁ゲート層上に形成されたゲート電極とを備えたことを特徴とする。

【0009】 請求項2に記載の本発明の絶縁ゲート型電界効果半導体装置は、絶縁基板上に形成されたポリSi層と、該ポリSi層上に形成されたSiON層と該SiON層上に形成されたSiO<sub>2</sub>層とからなる絶縁ゲート層と、該絶縁ゲート層上に形成されたゲート電極と、上記ポリSi層表面にソース領域とドレイン領域とを備え、TFTをなしていることを特徴とする。

【0010】 請求項3に記載の本発明の絶縁ゲート型電界効果半導体装置は、請求項1また請求項2に記載の絶縁ゲート型電界効果半導体装置において、上記SiON層の厚さが1nm以上10nm以下であることを特徴とする。

【0011】 請求項4に記載の本発明の絶縁ゲート型電界効果半導体装置の製造方法は、請求項1、請求項2、または請求項3に記載の絶縁ゲート型電界効果半導体装置の製造方法において、絶縁基板上にポリSi層を形成

けて作製したTFT特性は下表に示す値を示した。

【表1】

【0022】

	移動度 ( $\text{cm}^2/\text{V} \cdot \text{S}$ )	V <sub>TH</sub> (V)	S係数 (V/dec)
プラズマ処理無し	40	5.5	1.0
プラズマ処理あり	60	3.5	0.7

【0023】ここでは、比較例として、プラズマ処理なしでリモートプラズマCVD法により $\text{SiO}_2$ 膜を形成して作製したTFT特性を同時に示す。ここで、比較例として用いたTFTのゲート絶縁膜とプラズマ処理を加えて作製したTFTのゲート絶縁膜の換算膜厚は等しい。表から明らかなように、移動度、 $V_{th}$ 、S係数はプラズマ処理を加えない $\text{SiO}_2$ 膜でゲート絶縁膜を構成したTFT特性に比べて、高移動度、および低い $V_{th}$ 、低いS係数を示しており、界面構造の改善を示している。

【0024】図2に、ゲート印加電界強度 $8\text{MV}/\text{cm}$ 、大気中温度 $150^\circ\text{C}$ でのTDDB特性を示す。この図から明らかな通りプラズマ処理を加えたゲート絶縁膜のTDDB特性は、プラズマ処理を加えていない特性に比べて優れた値を示しており、電子の注入の起こりにくい信頼性の高い絶縁膜になっている。したがって、プラズマ処理を加えたTFTは特性とともに信頼性においても優れていることがわかる。

【0025】

【発明の効果】本発明によれば、極薄 $\text{SiO}_2$ 上からNを含むガスのプラズマで処理することで、界面近傍のS

$\text{iO}_2$ 層の緻密化と界面原子の再構成を行い、界面に3配位のNを導入することで界面準位密度を減少させることで、移動度、 $V_{th}$ 、S係数等のTFT特性を向上させることが出来る。

【0026】また、界面層に $\text{SiON}$ 層が形成されることでホットエレクトロン注入に対して強くなり、信頼性の高いTFTを得ることが出来る。

【図面の簡単な説明】

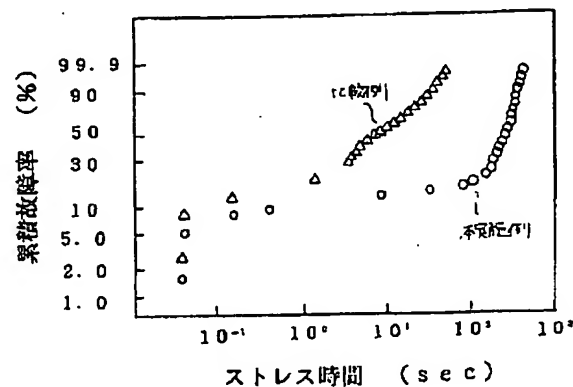
【図1】本発明の実施例に係るゲート絶縁膜およびTFTの製造方法を示す工程断面図である。

【図2】本発明の実施例及び比較例により作製したゲート絶縁膜のTDDB特性を示すグラフである。

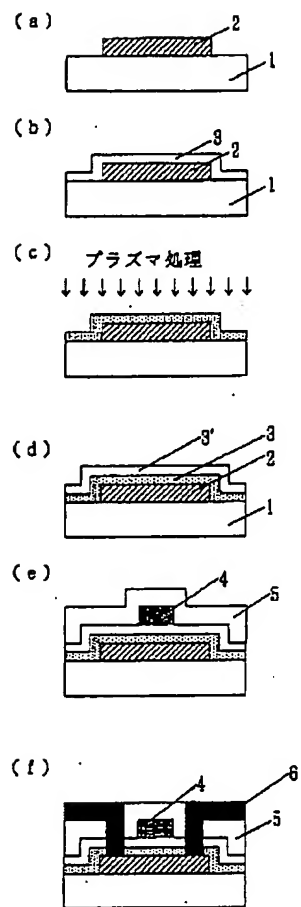
【符号の説明】

- 1 ガラス基板
- 2 半導体層
- 3 プラズマ処理をした $\text{SiO}_2$ 膜
- 3'  $\text{SiO}_2$ 膜
- 4 ゲート電極
- 5 層間絶縁膜
- 6 引き出し電極

【図2】



【図 1】



する工程と、該ポリSi層上に第1のSiO<sub>2</sub>層を形成する工程と、第1のSiO<sub>2</sub>層をプラズマ窒化してSiON層とする工程と、該SiON層上に第2のSiO<sub>2</sub>層を形成する工程と、第2のSiO<sub>2</sub>層上に導電膜を形成してゲート電極を形成する工程とを含むことを特徴とする。

#### 【0012】

【作用】本発明によれば、極薄（1～10 nm程度）の絶縁膜を作製した後、引き続きN（窒素）を含むガスのプラズマでプラズマ窒化処理することで、界面近傍の絶縁膜の緻密化と界面原子の再構成を行い、3配位のNが界面準位密度を減少させ良好な界面を得ることで、高移動度、V<sub>th</sub>、S係数の低いTFT特性を得ることが可能となる。また、界面近傍のSiON層がホットエレクトロン注入に対して強くなるため、信頼性に優れたTFTを得ることができる。

【0013】なお、本発明では製造工程におけるゲート絶縁膜のSiO<sub>2</sub>膜を作製する工程を3つに分け、まず最初に極薄い（1～10 nm程度が最も望ましい）SiO<sub>2</sub>膜をチャンネル半導体上に作製し、次にN<sub>2</sub>等のN原子を含むガス（例えばNH<sub>3</sub>、N<sub>2</sub>O等）のプラズマでSiO<sub>2</sub>上からプラズマ処理を行う。最後に必要なSiO<sub>2</sub>膜を成膜してゲート絶縁膜を構成する。この時、初期SiO<sub>2</sub>の膜厚が厚すぎる（通常10 nm以上）と界面付近のSiO<sub>2</sub>膜に対するプラズマ処理の効果小さく、薄すぎる（通常1 nm以下）とプラズマによるチャンネル半導体へのダメージが問題となるため、プラズマ処理の条件に応じた最適膜厚範囲が存在する。

#### 【0014】

【実施例】以下に、本発明の実施例に係るTFTの製造方法を図面に基づいて説明する。なお、ここではチャンネル半導体としてポリSi膜を用いているが、他のSi系半導体として、アモルファスSi、単結晶Si、SiGe等を用いることも可能である。また、以下の実施例ではTFTについて説明するが、後述するソース、ドレインの形成を行わないことにより、ただ単にキャパシタのゲート絶縁膜として用い得ることは明白である。さらに、ゲート絶縁膜直下にV<sub>th</sub>等を調整するため適宜不純物を上記ポリSi膜に導入することも可能である。

【0015】まず、図1（a）に示すように、約600℃の熱処理に耐える歪み点温度の高いガラス基板1上にSi<sub>2</sub>H<sub>6</sub>ガスでLPCVD法により約450℃の基板温度でアモルファスSi膜を成膜する。このアモルファスSi膜をN<sub>2</sub>雰囲気中において600℃で約20時間アニールして、固相成長によりポリSi膜を得、エッチングにより所望の形にアイランド化し、半導体層2を形成する。

【0016】次に、図1（b）に示すように、この半導体層2上にゲート絶縁膜となるSiO<sub>2</sub>膜3をリモートプラズマCVD法により、膜厚1～10 nm程度、本実

施例では5 nm成膜する。リモートプラズマCVD法による成膜条件は基板温度300℃、反応圧力0.2 Torr、SiH<sub>4</sub>流量1 sccm、O<sub>2</sub>流量50 sccm、RFパワー200 Wで行った。この際のSiO<sub>2</sub>膜3の成膜方法はリモートプラズマCVD法に限らず、低温成膜が可能であればプラズマCVD法、ECRCVD法、LPCVD法、APCVD法等でもよい。また、SiO<sub>2</sub>膜3の膜厚は10 nm以上では、後述するプラズマ処理の効果が少ないため、10 nm以下が望ましい。また、膜厚の範囲はプラズマ処理装置や処理条件に依存して異なるが、1 nm以下と薄すぎると半導体層2に対するダメージがあり、10 nm以上と厚すぎるとN（窒素）の界面（半導体層2とプラズマ処理したSiO<sub>2</sub>膜3との界面）への拡散が行われなため、それぞれプラズマ処理の効果が減少する。従って、SiO<sub>2</sub>膜3の膜厚は1 nm以上10 nm以下が望ましい。

【0017】次に、図1（c）に示すように、引き続き10分間、N<sub>2</sub>プラズマでプラズマ処理（ここではN<sub>2</sub>ガスを用いているが、例えばN<sub>2</sub>OやNH<sub>3</sub>等のNを含むガスであれば特にガスは限定されない）して、SiO<sub>2</sub>膜3をSiON膜にする。ここで、SiO<sub>2</sub>膜3すべてをSiON膜に変化させなくてもよい。また、この時のプラズマ処理の条件は基板温度300℃、反応圧力0.5 Torr、N<sub>2</sub>流量100 sccm、パワー密度0.1 W/cm<sup>2</sup>で行った。なお、プラズマ処理温度は、600℃以下であればよい。また、プラズマ処理をここでは平行平板プラズマCVD装置で行っているが、リモートプラズマCVD装置やECRCVD装置で行うことも可能である。

【0018】次に、図1（d）に示すように、SiO<sub>2</sub>膜3'を膜厚90～100 nm程度、本実施例では95 nmの厚さでリモートプラズマCVD装置により成膜してプラズマ処理したSiO<sub>2</sub>膜3とSiO<sub>2</sub>膜3'とからなるゲート絶縁膜を形成する。

【0019】次に、図1（e）に示すように、ガラス基板1上に膜厚250 nm程度のポリシリコンSi膜を成膜し、所望の形状にパターニングしてゲート電極4を形成する。これを自己整合的に不純物元素（Nchの場合はリン、Pchの場合はボロン）を1×10<sup>15</sup> ion/cm<sup>2</sup>、40 keV程度でイオン注入し、活性化を行うことにより図示しないTFTのソース及びドレインを形成する。そして、この工程と同時に不純物イオン注入により、ゲート電極4の低抵抗化を行った後、膜厚500 nm程度のSiO<sub>2</sub>膜からなる層間絶縁膜5を成膜する。

【0020】最後に、図1（f）に示すように、ソース、ドレイン上の層間絶縁膜5にコンタクトホールを形成した後、例えばアルミニウムの引き出し電極6を形成し、TFTは完成する。

【0021】このようにしてゲート絶縁膜を3工程に分

DIALOG(R)File 352:Derwent WPI  
(c) 2001 Derwent Info Ltd. All rts. reserv.  
010357561      \*\*Image available\*\*

WPI Acc No: 1995-258875/199534

XRAM Acc No: C95-117910

XRPX Acc No: N95-199454

Insulated gate field effect transistor - has gate electrode deposited  
above gate insulating film

Patent Assignee: SHARP KK (SHAF )

Number of Countries: 001    Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
<b>JP 7161996</b>	A	19950623	JP 93311519	A	19931213	199534    B

Priority Applications (No Type Date): JP 93311519 A 19931213

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 7161996	A		5 H01L-029/786	

Abstract (Basic): JP 7161996 A

The IGFET forms a gate insulating film in three steps. First, a very thin silicon dioxide film (3) of 1-10nms thickness is formed over a semiconductor layer (2). This semiconductor layer is present over a glass substrate (1). The SiO<sub>2</sub> film is subjected to plasma processing by a gas containing nitrogen atoms. Subsequently another silicon dioxide film (3') is formed above the processed film to comprise the gate insulating film. A gate electrode (4) is deposited above the gate insulating film, finally.

ADVANTAGE - Forms gate insulating film at low temperature. Reduces interface state density. Strengthens hot electron characteristics by passing SiON layer at boundary face of SiO<sub>2</sub> layer. Raises electron mobility and reliability.

Dwg.1/1

Title Terms: INSULATE; GATE; FIELD; EFFECT; TRANSISTOR; GATE; ELECTRODE;  
DEPOSIT; ABOVE; GATE; INSULATE; FILM

Derwent Class: L03; U12

International Patent Class (Main): H01L-029/786

File Segment: CPI; EPI

